Ministerul Educaţiei, Tineretului şi Sportului al Republicii Moldova

Universitatea Tehnică a Moldovei

Facultatea Calculatoare, Informatică şi Microelectronică

Catedra Calculatoare

RAPORT

Lucrare de laborator nr.1

Analiza şi Sinteza Dispozitivelor Numerice

Tema: Sinteza circuitelor logice combinaţionale

A efectuat: **st.gr.C-151:**   
 Guştiuc Mihai

A verificat: **lector universitar:**  
 S.Munteanu

Chişinău 2016

**Tema:** Sinteza circuitelor logice combinaţionale

**Scopul lucrării:**

Studierea practică şi cercetarea procesului de sinteză a circuitelor logice combinaţionale.

**Consideraţii teoretice:**

Orice circuit logic se caracterizează prin natural semnalelor de intrare şi a celor de ieşire, prin clasele de funcţii intrare-ieşire şi prin natura prelucrărilor de date ce au loc în structura sa internă.

**Circuitele logice** se împart în două clase: combinaţionale şi secvenţiale. Un CLC se caracterizează prin aceea că starea ieşirilor sale la un moment dat depinde numai de starea intrărilor sale în acest moment. Legătura între starea intrărilor şi starea ieşirilor circuitului este dată de funcţiile de transfer ale acestuia, denumite în acest caz fruncţii de comutare, care sunt funcţii booleene.

**CLC** este circuitul care are *n* intrări *(x1, x2, x3,..., xn)* şi *m* ieşiri *(y1, y2, y3,..., yn)*, la care ieşirile pot fi exprimate numai în dependenţă de variabilele de intrare:

= ;

= ;

… … … … … … … … …

= ;

Sinteza unui CLC se efectuează în următoarele etape:

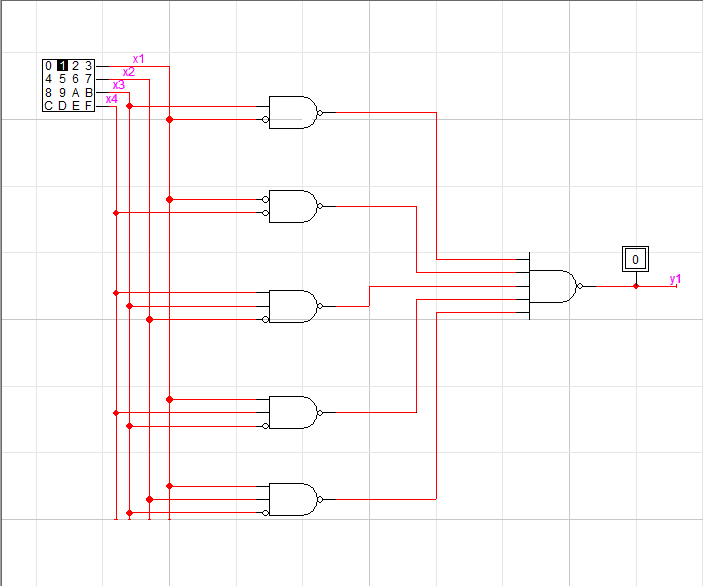
* Descrierea necesităţilor ce trebuie să le rezolve circuitul combinaţional respectiv(prin text, diagrame, desen, etc.)
* reprezentarea acestei descrieri sub forma unui tabel de adevăr
* deducerea funcţiilor logice şi minimizarea acestora
* implemenatrea acestor funcţii minimizate sub forma unor reţele de comutare prin intermediu circuitelor logice integrate

Tabelul de adevăr conţine n+m coloane şi 2n rînduri. Fiecare rînd al tabelului reprezintă una din combinaţiile posibile ale valorilor variabilelor şi valorile funcţiilor pentru combinaţia respectivă.

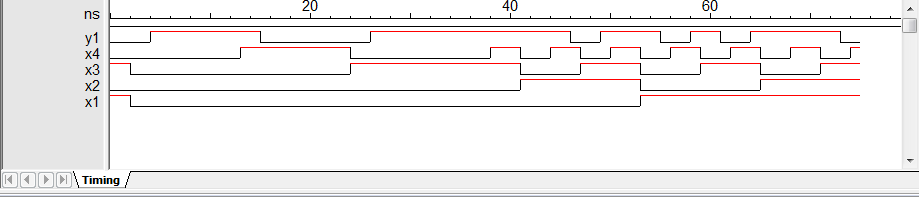
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Desfăşurarea lucrării:**   1. Minimizarea functiei logice y1:   a) FDM + o formă.  b) FCM + o formă.  c) Asamblarea schemei logice SI-NU/SI-NU  2. Minimizarea functiei logice y2:  a) FDM + o formă.  b) FCM + o formă.  c) Asamblarea schemei logice SAU-NU/SAU-NU  **Varianta - 16**  = v (3,4,5,6,7,8,10,12,13)  = v (0,1,2,5,6,8,9,11,12,14)  **Tabelul de Adevăr:**   |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | | **Nr.** | **x****1** | **x****2** | **x****3** | **x****4** | **y****1** | **y****2** | | **0.** | 0 | 0 | 0 | 0 | **0** | **1** | | **1.** | 0 | 0 | 0 | 1 | **0** | **1** | | **2.** | 0 | 0 | 1 | 0 | **0** | **1** | | **3.** | 0 | 0 | 1 | 1 | **1** | **0** | | **4.** | 0 | 1 | 0 | 0 | **1** | **0** | | **5.** | 0 | 1 | 0 | 1 | **1** | **1** | | **6.** | 0 | 1 | 1 | 0 | **1** | **1** | | **7.** | 0 | 1 | 1 | 1 | **1** | **0** | | **8.** | 1 | 0 | 0 | 0 | **1** | **1** | | **9.** | 1 | 0 | 0 | 1 | **0** | **1** | | **10.** | 1 | 0 | 1 | 0 | **1** | **0** | | **11.** | 1 | 0 | 1 | 1 | **0** | **0** | | **12.** | 1 | 1 | 0 | 0 | **1** | **1** | | **13.** | 1 | 1 | 0 | 1 | **1** | **0** | | **14.** | 1 | 1 | 1 | 0 | **0** | **1** | |  | | | | | | |  1. **Diagramele Karnaugh pentru minimizarea functiilor y1 :**   Minimizarea funcţiei logice y1 după unitaţi.   |  |  |  |  |  | | --- | --- | --- | --- | --- | | x1 x2  x3 x4 | **00** | **01** | **11** | **10** | | **00** | 1 | 1 | 1 |  | | **01** |  |  | 1 | 1 | | **11** | 1 | 1 |  | 1 | | **10** | 1 | 1 |  |  |   ***FDM:***  Minimizarea funcţiei logice y1 după zerouri.   |  |  |  |  |  | | --- | --- | --- | --- | --- | | x1 x2  x3 x4 | **00** | **01** | **11** | **10** | | **00** |  |  |  | 0 | | **01** | 0 | 0 |  |  | | **11** |  |  | 0 |  | | **10** |  |  | 0 | 0 |   ***FCM:***  Forma **SI-NU/SI-NU** pentru **FDM:**  Forma **SAU-NU/SAU-NU** pentru **FCM:** |

**Aplicăm legile lui De Morgan pentru ca să putem construi circuitul cu elemente**

**SI-NU/ SI-NU în LogicWorks:**



Schema de timp:



Costul-18

Td-2 τ

1. **Diagramele Karnaugh pentru minimizarea functiilor y1:**

Minimizarea funcţiei logice y1 după unitaţi.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1 x2  x3 x4 | **00** | **01** | **11** | **10** |
| **00** |  | 1 | 1 | 1 |
| **01** |  | 1 | 1 |  |
| **11** | 1 | 1 |  |  |
| **10** |  | 1 |  | 1 |

***FDM:***

Minimizarea funcţiei logice y2 după zerouri.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1 x2  x3 x4 | **00** | **01** | **11** | **10** |
| **00** | 0 |  |  |  |
| **01** | 0 |  |  | 0 |
| **11** |  |  |  | 0 |
| **10** | 0 |  | 0 |  |

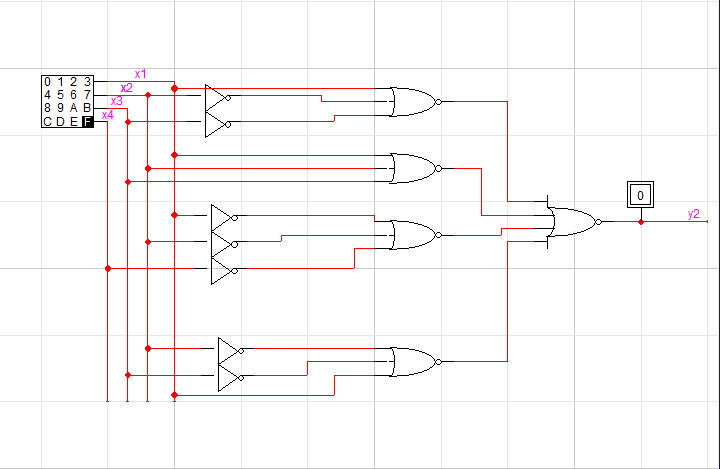
***FCM:***

Forma **SI-NU/SI-NU** pentru **FDM:**

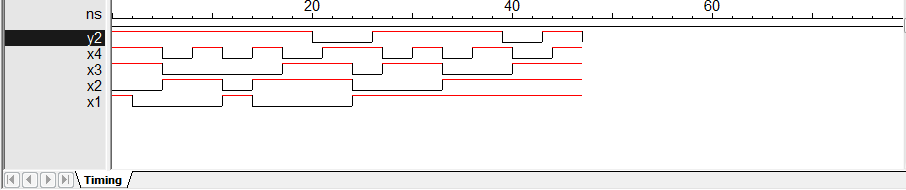
Forma **SAU-NU/SAU-NU** pentru **FCM:**

**Aplicăm legile lui De Morgan pentru y2  ca să putem construi circuitul cu elemente**

**SAU/NU în LogicWorks:**



Schema de timp:



Costul-23

Td-3τ

**Concluzie:** In urma efectuarii primei lucrari de laborator am facut cunostinta cu noul program de lucru Logic Works. In LogicWorks cu ajutorul rezultatelor obtinute din conditie am putut realiza circuitele logice combinationale pentru forma SI-NU/ SI-NU şi SAU/ SI, de asemenea sa observam variatia timpului (schema de timp) intr-un asemenea circui. Ne-am reamintit procesul minimizarii functiilor booleene prin metoda Karnaugh. Cu ajutorul legilor lui De Morgan am otinut cele 4 forme normale pentru y1 si y2.